ULISES V5000i V2.6.X

Norma Hardware

CD40–IA4–N019A. 4 Interfaces Analógicos

N019A-IA4.NORMA ****

REGISTRO Y CONTROL DEL DOCUMENTO

|  |  |
| --- | --- |
| Proyecto / Equipo | ULISES V5000i V2.6.X |
| **Documento** | CD40–IA4–N019A. 4 Interfaces Analógicos |
| **Referencia** |  |
| **Código** | N019A-IA4.NORMA |
| **Fecha** | 03/11/2012 |

|  |  |  |  |
| --- | --- | --- | --- |
| Elaborado  Antonio Lozano | Visado | Visado | Aceptado |
| Firma: | Firma: | Firma: | Firma: |
| Fecha: | Fecha: | Fecha: | Fecha: |

REGISTRO DE MODIFICACIONES

|  |  |  |  |
| --- | --- | --- | --- |
| **R** | **Fecha** | **Descripción** | **Autor** |
| 1 |  | Versión Inicial | Antonio Lozano |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

Lista de Distribución

|  |  |  |  |
| --- | --- | --- | --- |
| **N** | **Fecha** | **Nombre** | **Firma** |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |
|  |  |  |  |

ÍNDICE

[1. Objeto. 8](#_Toc66103897)

[2. Alcance. 9](#_Toc66103898)

[3. Definiciones. 10](#_Toc66103899)

[4. Documentos referenciados 11](#_Toc66103900)

[5. Entorno de Prueba. 12](#_Toc66103901)

[5.1. Entorno de Prueba Unitaria, nivel 1200. 12](#_Toc66103902)

[6. Proceso de Pruebas Unitarias (Nivel Placa, 1200). 13](#_Toc66103903)

[6.1. Pruebas de verificación. 13](#_Toc66103904)

[6.1.1. Alimentaciones. 13](#_Toc66103905)

[6.1.2. Inspección visual del montaje. 13](#_Toc66103906)

[6.2. Grabación del fichero en los dispositivos programables. 14](#_Toc66103907)

[6.3. Programa de verificación de Conectividad entre Elementos. 14](#_Toc66103908)

[7. Embalaje y Etiquetado. 21](#_Toc66103909)

[7.1. Embalaje Unitario. 21](#_Toc66103910)

[7.2. Embalaje Colectivo. 21](#_Toc66103911)

[8. Anexo A: INFORME DE PRUEBAS. 22](#_Toc66103912)

[9. Anexo B: CONEXIONADO DE PISTAS PARA LA PRUEBA 23](#_Toc66103913)

[10. Anexo C: UTIL DE PRUEBAS 29](#_Toc66103914)

[11. Anexo D: Ordenador tipo PC configurado para Norma\_N019. 31](#_Toc66103915)

ÍNDICE DE FIGURAS

**No se encuentran elementos de tabla de ilustraciones.**

ÍNDICE DE TABLAS

**No se encuentran elementos de tabla de ilustraciones.**

# Objeto.

El objetivo de esta Norma es establecer el procedimiento de pruebas para las placas **CD40 – IA4 – N019A** para asegurar la funcionalidad y prestaciones de las mismas conforme a especificaciones. Estas pruebas se someterán a todas y cada una de las placas de cada Lote de Fabricación.

# Alcance.

Todas las **CD40 – IA4 – N019A** fabricadas y/o reparadas por NUCLEO CC, S.L., y/o sus subcontratistas, como paso previo a la integración de las mismas en el CD40, o como pieza de repuesto.

# Definiciones.

* USB: Universal Serial Bus/Bus serie universal.
* JTAG : (Joint Test Action Group) Es el nombre común para la Norma IEEE 1149.1 Norma que define un estándar para test de PCB. <http://es.wikipedia.org/wiki/JTAG>
* Nivel 1200.xxxx.x, placa montada sin caja.
* Nivel 0084.xxxx.x, placa acabada, con carátula y accesorios.

# Documentos referenciados

Los documentos referenciados o relacionados con el documento actual son los siguientes:

|  |  |
| --- | --- |
| **Nº de Plano/Documento** | **Descripción** |
| A rellenar | N019APOS.pcb Plano Posicional en formato pdf |
| A rellenar | N019A.sch Plano esquemático en formato pdf |
|  | Manual de Instalación de la Pasarela CD40 formato pdf |
|  | Manual de Calidad de NUCLEO CC, S.L. |
|  | Manual de Usuario de la Unidad N019A Formato pdf |

# Entorno de Prueba.

## Entorno de Prueba Unitaria, nivel 1200.

La realización de las pruebas a este nivel requiere de los siguientes elementos:

* Útil de Pruebas Unitarias **CD40 – IA4 – N019A**, descrita en el anexo B.
* Ordenador tipo PC configurado para soporte de esta Norma de Pruebas según se describe en el anexo C.
* Objeto binario a programar sobre el dispositivo U9 , Memoria Flash tipo XCF04S de Xilinx:

< m6\_ia4ed1\_019.mcs >

* SW de PC, específico de pruebas de comprobación de Conectividad entre Elementos de la placa:

<jtag\_test\_N019A>

* SW de PC , específico para grabación de dispositivos "in-circuit" de Xilinx <Impact.exe>
* Herramienta de Programación "in-circuit" específica para el Software de Xilinx: JTAG Cable Model IJC-1 / Model IJC-2 ambas son válidas.
* Opcionalmente en parte de los Test puede usarse la Herramienta de Programación "in-circuit" Modelo USB-BLASTER de Altera. [No es imprescindible – Si aconsejable]
* Fuente de Alimentación de 24.0Vdc nominales, ±20%.
* Multimetro Digital tipo Fluke75 o similar.

# Proceso de Pruebas Unitarias (Nivel Placa, 1200).

El proceso de prueba se compone de una serie de operaciones descritas a continuación. El operario que las realice cumplimentará el impreso del anexo A con el resultado de las mismas. Una placa se considerará probada cuando haya superado satisfactoriamente las pruebas y así conste en el informe del anexo A.

Con carácter general se aplicarán los criterios de trazabilidad del Plan de Calidad, así como el tratamiento de no conformidades.

Durante todos los procesos se prestará especial atención, tanto internamente en NUCLEO como en sus subcontratistas, a la manipulación y almacenaje conforme al “Procedimiento para el control del almacenamiento, la manipulación, el embalaje y la expedición”, del Manual de Calidad.

En ningún caso se manipularán, apilarán o transportarán las placas sin extremar las precauciones mecánicas y ESD, empleando contenedores o bolsas adecuadas y las debidas precauciones en los operarios, sus herramientas e instalaciones.

A continuación se describen las pruebas, que deberán realizarse de forma secuencial:

## Pruebas de verificación.

Consisten en una serie de comprobaciones previas que requieren de ayuda de algunos elementos externos. Con ellas se persigue tener un punto de partida mínimo que garantice que todos los componentes son correctos (están montados adecuadamente) y están alimentados de forma adecuada.

### Alimentaciones.

Una sola vez, al comenzar un lote de pruebas, deberá procederse a:

* Se comprobará que todos los equipos están debidamente calibrados mediante la etiqueta con la fecha de calibración, y que tras su encendido superan sus autotest.
* Se comprobará con el voltímetro que la tensión de FA esta en el rango adecuado a la nominal del equipo a probar Vmin. a Vmáx. Vdc.

|  |  |
| --- | --- |
| * **V-1** | Comprobación del estado del entorno de pruebas. |

### Inspección visual del montaje.

Se comprobará visualmente que la unidad N019A bajo prueba está correctamente montada:

|  |  |
| --- | --- |
| * **V-2** | Inspección visual del tipo de componentes y su correcto posicionamiento. |

## Grabación del fichero en los dispositivos programables.

Las N019 disponen de U8 FPGA modelo XC3S500E dispositivo que necesita ser programado cada vez que entra la Alimentación de la Placa, para ello se ha previsto que el firmware resida en memoria externa no-volátil que inicialmente viene vacía, U9, XCF04S y que tiene que ser grabada “in-circuit”. El programa que hay que grabar es el siguiente:

< m6\_ia4ed1\_019.mcs > sobre U9

El procedimiento de grabación viene guiado en el propio software de grabación IMPACT de Xilinx. Para poder realizar dicha programación se asegurará que el jumper JP1 está quitado, es decir, OFF.

|  |  |
| --- | --- |
| * **V-3** | Grabación del fichero < m6\_ia4ed1\_019.mcs > en el disposito U9 |

## Programa de verificación de Conectividad entre Elementos.

Una vez grabado el dispositivo programable U9 vamos a verificar la conectividad entre Elementos con la ayuda del PC de Pruebas mediante el programa <jtag\_test\_N019A>:

1. Comprobar que la configuración de jumpers es la siguiente:

JP1 ON: No permite que se programe la FPGA (U8) con la información de la memoria flash (U9).

JP2 OFF, JP3 OFF y JP4 ON: Polarización a 24V de la señal SYS\_ACTV.

JP12 ON, JP13 ON, JP17 ON y JP30 ON: Referencia a tierra de los cuatro canales.

JP7 ON, JP16 ON, JP44 ON y JP37 ON: Polarización de la señal de Squelch de los cuatro canales a 24V.

En posición 1-2 los siguientes jumpers para una configuración a 4 hilos:

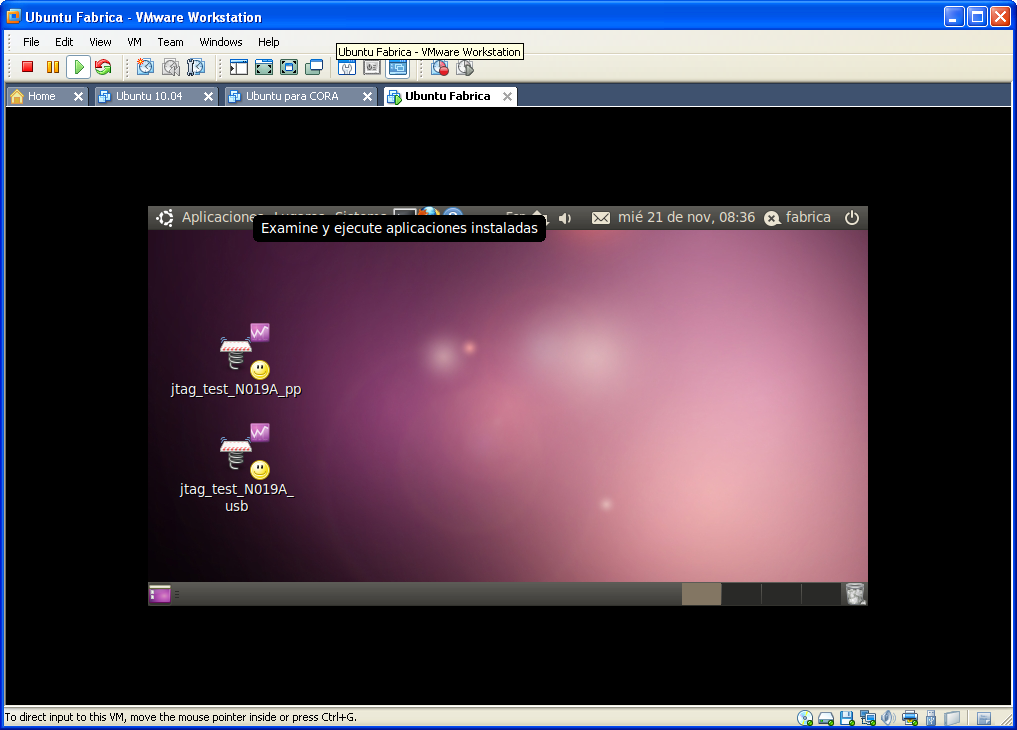
JP10, JP11, JP29, JP31, JP33, JP34 (CANAL 1)

JP8, JP9, JP26, JP27, JP28, JP32 (CANAL 2)

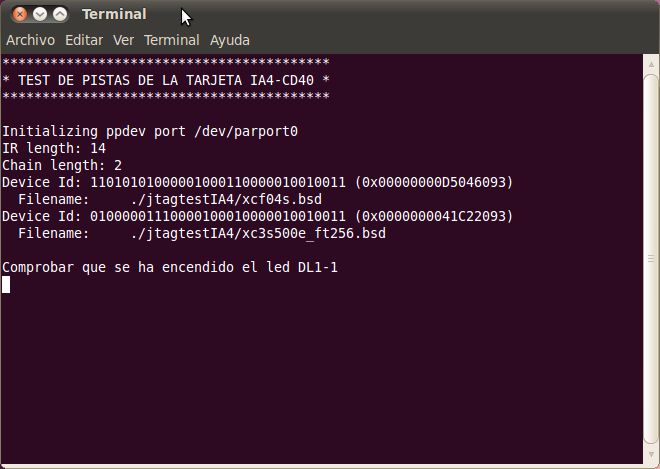
JP18, JP19, JP20, JP21, JP40, JP41 (CANAL 3)

JP22, JP23, JP24, JP25, JP38, JP39 (CANAL 4)

1. Conectar los accesorios del útil de pruebas sobre la unidad bajo test: MOD1\_TEST, MOD2\_TEST, MOD3\_TEST, MOD4\_TEST, P3\_TEST.
2. Insertar la unidad bajo test en el útil de prueba.
3. Conectar la Herramienta de Programación sobre el conector P2 poniendo atención en la polaridad: pin\_1 (Vcc) a la derecha.
4. Encender la Fuente de Alimentación que alimenta al útil de pruebas.
5. Desde el PC de pruebas ejecutar VMWARE y arrancar la máquina virtual: <Ubuntu Fabrica>
6. Una vez arrancada la máquina virtual <Ubuntu Fabrica> pinchar con el ratón en el usuario <Ubuntu Fabrica> e introducir la contraseña <fabrica1>.
7. Nota: En caso de utilizar los puertos USB es necesario activar desde VMWARE la asignación del puerto USB a la máquina virtual.
8. Ejecutar el Acceso Directo de Escritorio: <jtag\_test\_N019A\_pp> si se usa la herramienta de Programación JTAG Cable Model IJC-1 / Model IJC-2 o el acceso directo <jtag\_test\_N019A\_usb> usando la herramienta de programación USB-BLASTER de Altera.



1. Se abrirá una ventana como la que se muestra a continuación:



1. Aquí se comprabará el funcionamiento de algunos leds. Cuando se haya comprobado cada led, se podrá pasar a la siguiente comprobación pulsando la tecla <enter>.

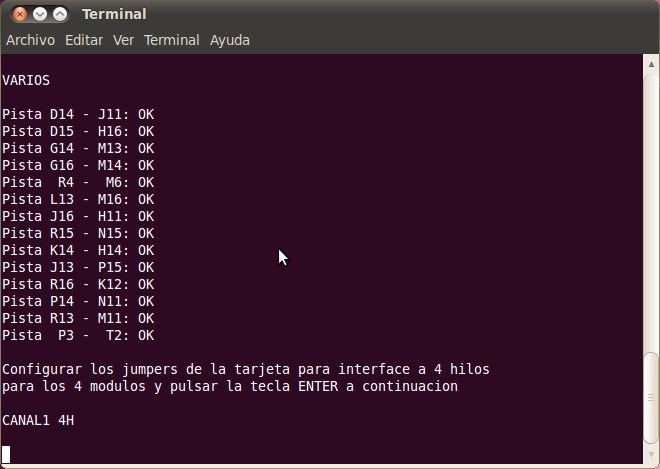
|  |  |
| --- | --- |
| * **V-4** | Leds DL1-1, DL1-2 y DL1-3 |

|  |  |
| --- | --- |
| * **V-5** | Leds superiores de los modulos de prueba MOD\_TEST\_1, MOD\_TEST\_2, MOD\_TEST\_3 y MOD\_TEST\_4 |

|  |  |
| --- | --- |
| * **V-6** | Leds intermedios de los modulos de prueba MOD\_TEST\_1, MOD\_TEST\_2, MOD\_TEST\_3 y MOD\_TEST\_4 |

|  |  |
| --- | --- |
| * **V-7** | Leds inferiores de los modulos de prueba MOD\_TEST\_1, MOD\_TEST\_2, MOD\_TEST\_3 y MOD\_TEST\_4 |

1. Cuando se acabe la fase de comprobación de leds, comenzará a comprobar las pistas de la tarjeta. En el análisis de cada pista indica si hay conectividad entre dos pines de la FPGA. Por ejemplo, en la siguiente ventana se puede observar que el análisis de la primera pista del grupo <VARIOS> indica que hay conectividad (a través de los puentes realizados en el útil de pruebas) entre el pin D14 y el pin J11 de la FPGA.



|  |  |
| --- | --- |
| * **V-8** | Conectividad pistas Canal 1, 2, 3 y 4 y Varios |

1. A continuación se comprobarán pistas cuya conectividad existe cuando se configuran los cuatro canales a 4 hilos. En esta fase se han de configurar los jumpers de la siguiente forma:

En posición 1-2 los jumpers:

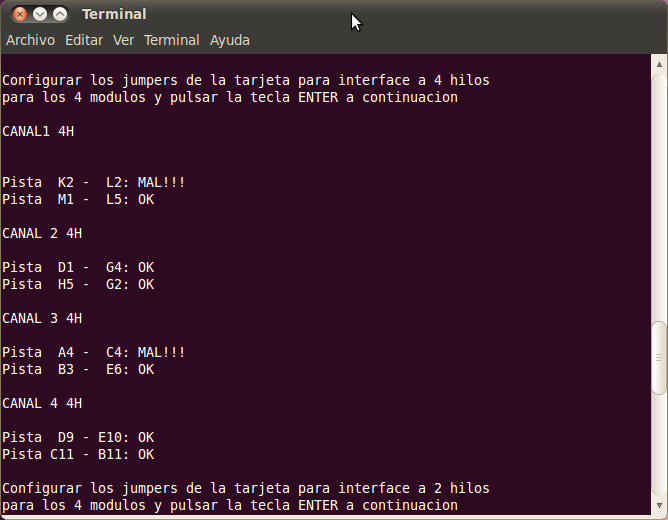
JP10, JP11, JP29, JP31, JP33, JP34 (CANAL 1)

JP8, JP9, JP26, JP27, JP28, JP32 (CANAL 2)

JP18, JP19, JP20, JP21, JP40, JP41 (CANAL 3)

JP22, JP23, JP24, JP25, JP38, JP39 (CANAL 4)

Después de asegurarse que la configuración de jumpers es la anterior, pulsar la tecla <enter>.



|  |  |
| --- | --- |
| * **V-9** | Conectividad pistas Canal 1, 2, 3 y 4 en configuración 4 Hilos |

1. Ahora se comprobarán pistas cuya conectividad existe cuando se configuran los cuatro canales a 2 hilos. En esta fase se han de configurar los jumpers de la siguiente forma:

En posición 2-3 los jumpers:

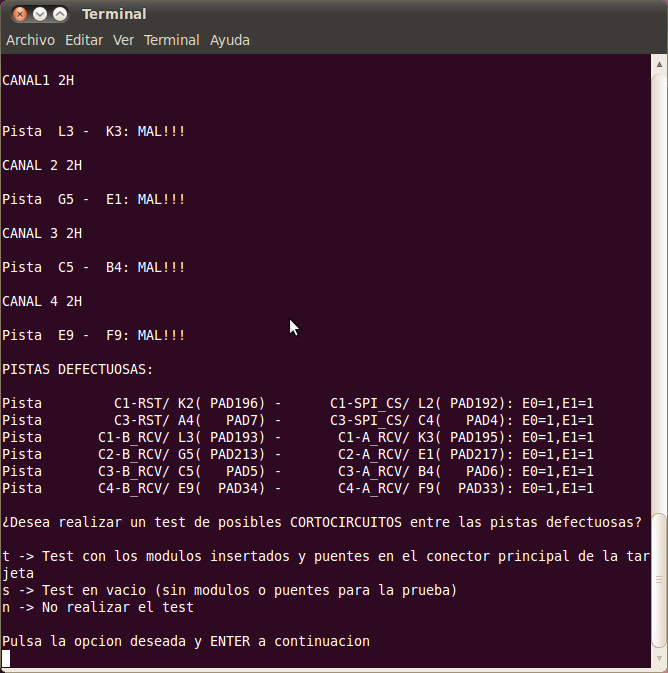
JP10, JP11, JP29, JP31, JP33, JP34 (CANAL 1)

JP8, JP9, JP26, JP27, JP28, JP32 (CANAL 2)

JP18, JP19, JP20, JP21, JP40, JP41 (CANAL 3)

JP22, JP23, JP24, JP25, JP38, JP39 (CANAL 4)

Después de asegurarse que la configuración de jumpers es la anterior, pulsar la tecla <enter>.



|  |  |
| --- | --- |
| * **V-10** | Conectividad pistas Canal 1, 2, 3 y 4 en configuración 2 Hilos |

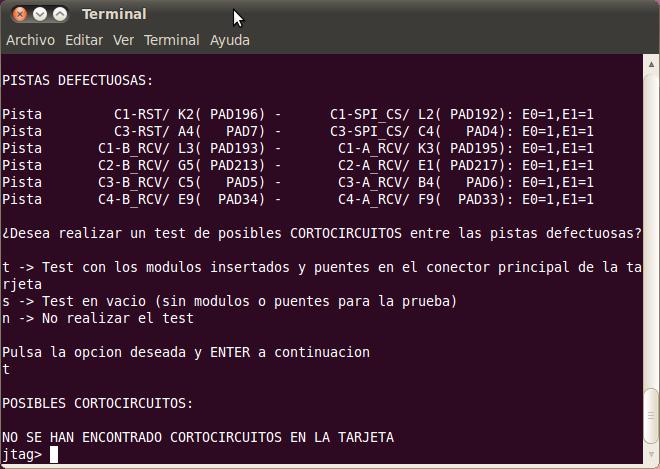
1. Al finalizar el test, si todo es correcto, aparecerá el mensaje:

\*\*\* TEST CORRECTO \*\*\*

|  |  |
| --- | --- |
| * **V-11** | Resultado del TEST. En caso de no ser correcto el resultado del test indicar las pistas defectuosas y los posibles cortocircuitos detectados por la aplicación de test. |

1. Si se han detectado fallos, al final aparecen las pistas defectuosas con información útil para una posible reparación de la tarjeta. Los estados E0 y E1 que aparecen al final de cada pista defectuosa indica respectivamente el estado leído cuando la salida es cero y cuando es uno. La primera señal es la que se utiliza como salida y la segunda como entrada en la comprobación de cada pista.

En caso de que existan fallos, si el usuario lo desea, puede efectuar un análisis de posibles cortocircuitos entre las pistas defectuosas, tal y como se muestra en la ventana a continuación:



# Embalaje y Etiquetado.

Todos los materiales con carácter general deben almacenarse conforme al “Procedimiento para el control del almacenamiento, la manipulación, el embalaje y la expedición”, del Manual de Calidad.

Con carácter específico se seguirán las siguientes recomendaciones.

## Embalaje Unitario.

Concluidas las verificaciones, las tarjetas se embalarán unitariamente en bolsa de plástico antiestática de burbujas, etiquetándose exteriormente con los datos del código correspondiente, versión V, fecha lista de materiales con que fue fabricado, o información de lote y trazabilidad equivalente.

## Embalaje Colectivo.

Los elementos embalados unitariamente pueden agruparse colectivamente en embalajes de cartón, junto con copia de los registros de prueba.

El colectivo se etiquetará con la información unitaria, más el número, o números de serie de los elementos embalados.

# Anexo A: INFORME DE PRUEBAS.

Se rellenarán tantas hojas como sea necesario por cada lote de fabricación, con la información siguiente, siendo cada columna la correspondiente a un número de serie único de placa:

**O.F. LOTE: CANTIDAD: CÓDIGO:**

**FECHA INICIAL: FECHA FINAL: PAGINA 1/1**

**OPERADOR:**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | Num. Serie | Num. Serie | … | … | … | Num. Serie |
| Test |  |  |  |  |  |  |
| V-1 |  |  |  |  |  |  |
| V-2 |  |  |  |  |  |  |
| V-3 |  |  |  |  |  |  |
| V-4 |  |  |  |  |  |  |
| V-5 |  |  |  |  |  |  |
| V-6 |  |  |  |  |  |  |
| V-7 |  |  |  |  |  |  |
| V-8 |  |  |  |  |  |  |
| V-9 |  |  |  |  |  |  |
| V-10 |  |  |  |  |  |  |
| V-11 |  |  |  |  |  |  |

X=CORRECTO, F=DEFECTO. El defecto se indicará a continuación de la (F) en las observaciones.

**OPERADOR**

**FECHA: FIRMA SELLO DE EMPRESA**

# Anexo B: CONEXIONADO DE PISTAS PARA LA PRUEBA

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Nombre\_Señal** | **FPGA\_PIN** | **Input/Output** | **Función** | **Conectada\_sobre** | | **Puente\_Externo** |
|  |  |  |  |  | |  |
| **VERIFICACIÓN CONECTIVIDAD CANAL\_1** | | |  |  | |  |
|  |  |  |  |  | |  |
| **"C1\_OE\_N"** | "H4" | Active\_Low | Habilita Módulo\_1 |  | |  |
|  |  |  |  |  | |  |
| "C1-TDM\_DX" | "J3" |  |  | MP2-7 | | MP2-6 / MP2-7 |
| "C1-TDM\_CLK" | "J5" |  |  | MP2-6 | |
| "C1-TDM\_DR" | "J4" |  |  | MP2-5 | | MP2-5 / MP2-4 |
| "C1-TDM\_FS" | "J1" |  |  | MP2-4 | |
| "C1-RST" | "K2" |  |  | MP1-10 | | MP3-9 |
| "C1-SPI\_CS" | "L2" |  |  | MP1-6 | | MP3-8 |
| "C1-B\_XMT" | "M1" |  |  | MP1-5 | | MP3-6 |
| "C1-A\_XMT" | "L5" |  |  | MP1-4 | | MP3-3 |
| "C1-B\_RCV" | "L3" |  |  | MP1-3 | | MP3-4 |
| "C1-A\_RCV" | "K3" |  |  | MP1-2 | | MP3-5 |
| “RXD\_C1” | “M4” |  |  | MP2-10 | | MP2-10 / MP2-9 |
| “TXD\_C1” | “N1” |  |  | MP2-9 | |
| “C1-TDM\_TSX” | “J2” |  |  | MP2-8 | | MP2-8 / MP1-1 |
| "C1-XSIG" | "K5" |  |  | MP1-1 | |
|  |  |  |  |  | |  |
| "C1-T1" | - | - | 4H-TX1+ | MP3-9 | C1-4H | P1-20A/P1-20C |
| "C1-R1" | - | - | 4H-TX1- | MP3-8 |
| "C1-R" | - | - | 4H-RX1- | MP3-6 | P1-21A/P1-21C |
| "C1-T" | - | - | 4H-RX1+ | MP3-3 |
| "C1-M/RING" | - | - | 2H-RX1- | MP3-5 | C1-2H | P1-21A/P1-21C |
| "C1-E-TIP" | - | - | 2H-RX1+ | MP3-4 |
|  |  |  |  |  | |  |
| "C1\_OUT1" | "T4" | Active\_Low | PTT1 |  | | P1-28A/P1-29A |
| "C1\_IN1" | "T5" | Active High | SQU1 |  | |
|  |  |  |  |  | |  |
| “SPI\_CLK” | “G15” | MP2-3 Led MP1-9 | Se Polarizan con +5V Diodo LED A-K 1KOhm Active\_Low | | | |
| “SPI\_MISO” | “F15” | MP2-3 Led MP1-8 |
| “SPI\_MOSI” | “F14” | MP2-3 Led MP1-7 |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **VERIFICACIÓN CONECTIVIDAD CANAL\_2** | | |  |  | |  |
|  |  |  |  |  | |  |
| **"C2\_OE\_N"** | "B1" | Active\_Low | Habilita Módulo\_1 |  | |  |
|  |  |  |  |  | |  |
| "C2-TDM\_DX" | "C2" |  |  | MP2-7 | | MP2-6 / MP2-7 |
| "C2-TDM\_CLK" | "E3" |  |  | MP2-6 | |  |
| "C2-TDM\_DR" | "E4" |  |  | MP2-5 | | MP2-5 / MP2-4 |
| "C2-TDM\_FS" | "F3" |  |  | MP2-4 | |  |
| "C2-RST" | "D1" |  |  | MP1-10 | | MP3-9 |
| "C2-SPI\_CS" | "G4" |  |  | MP1-6 | | MP3-8 |
| "C2-B\_XMT" | "H5" |  |  | MP1-5 | | MP3-6 |
| "C2-A\_XMT" | "G2" |  |  | MP1-4 | | MP3-3 |
| "C2-B\_RCV" | "G5" |  |  | MP1-3 | | MP3-4 |
| "C2-A\_RCV" | "E1" |  |  | MP1-2 | | MP3-5 |
| “RXD\_C2” | “H3” |  |  | MP2-10 | | MP2-10 / MP2-9 |
| “TXD\_C2” | “H6” |  |  | MP2-9 | |
| “C2-TDM\_TSX” | “C1” |  |  | MP2-8 | | MP2-8 / MP1-1 |
| "C2-XSIG" | "G3" |  |  | MP1-1 | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |
|  |  |  |  |  | |  |
| "C2-T1" | - | - | 4H-TX2+ | MP3-9 | C2-4H | P1-22A/P1-22C |
| "C2-R1" | - | - | 4H-TX2- | MP3-8 |
| "C2-R" | - | - | 4H-RX2- | MP3-6 | P1-23A/P1-23C |
| "C2-T" | - | - | 4H-RX2+ | MP3-3 |
| "C2-M/RING" | - | - | 2H-RX2- | MP3-5 | C2-2H | P1-23A/P1-23C |
| "C2-E-TIP" | - | - | 2H-RX2+ | MP3-4 |
|  |  |  |  |  | |  |
| "C2\_OUT1" | "P6" | Active\_Low | PTT2 |  | | P1-28C/P1-29C |
| "C2\_IN1" | "N7" | Active High | SQ2 |  | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **VERIFICACIÓN CONECTIVIDAD CANAL\_3** | | |  |  | |  |
|  |  |  |  |  | |  |
| **"C3\_OE\_N"** | "B7" | Active\_Low | Habilita Módulo\_3 |  | |  |
|  |  |  |  |  | |  |
| "C3-TDM\_DX" | "E7" |  |  | MP2-7 | | MP2-6 / MP2-7 |
| "C3-TDM\_CLK" | "D7" |  |  | MP2-6 | |  |
| "C3-TDM\_DR" | "C6" |  |  | MP2-5 | | MP2-5 / MP2-4 |
| "C3-TDM\_FS" | "D6" |  |  | MP2-4 | |  |
| "C3-RST" | "A4" |  |  | MP1-10 | | MP3-9 |
| "C3-SPI\_CS" | "C4" |  |  | MP1-6 | | MP3-8 |
| "C3-B\_XMT" | "E6" |  |  | MP1-5 | | MP3-6 |
| "C3-A\_XMT" | "B3" |  |  | MP1-4 | | MP3-3 |
| "C3-B\_RCV" | "C5" |  |  | MP1-3 | | MP3-4 |
| "C3-A\_RCV" | "B4" |  |  | MP1-2 | | MP3-5 |
| “RXD\_C3” | “A12” |  |  | MP2-10 | | MP2-10 / MP2-9 |
| “TXD\_C3” | “D5” |  |  | MP2-9 | |
| “C3-TDM\_TSX” | “C7” |  |  | MP2-8 | | MP2-8 / MP1-1 |
| "C3-XSIG" | "C3" |  |  | MP1-1 | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |
|  |  |  |  |  | |  |
| "C3-T1" | - | - | 4H-TX3+ | MP3-9 | C3-4H | P1-24A/P1-24C |
| "C3-R1" | - | - | 4H-TX3- | MP3-8 |
| "C3-R" | - | - | 4H-RX3- | MP3-6 | P1-25A/P1-25C |
| "C3-T" | - | - | 4H-RX3+ | MP3-3 |
| "C3-M/RING" | - | - | 2H-RX3- | MP3-5 | C3-2H | P1-25A/P1-25C |
| "C3-E-TIP" | - | - | 2H-RX3+ | MP3-4 |
|  |  |  |  |  | |  |
| "C3\_OUT1" | "N8" | Active\_Low | PTT3 |  | | P1-30A/P1-31A |
| "C3\_IN1" | "P8" | Active High | SQ3 |  | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **VERIFICACIÓN CONECTIVIDAD CANAL\_4** | | |  |  | |  |
|  |  |  |  |  | |  |
| **"C4\_OE\_N"** | "F8" | Active\_Low | Habilita Módulo\_4 |  | |  |
|  |  |  |  |  | |  |
| "C4-TDM\_DX" | "A7" |  |  | MP2-7 | | MP2-6 / MP2-7 |
| "C4-TDM\_CLK" | "D8" |  |  | MP2-6 | |  |
| "C4-TDM\_DR" | "C8" |  |  | MP2-5 | | MP2-5 / MP2-4 |
| "C4-TDM\_FS" | "A9" |  |  | MP2-4 | |  |
| "C4-RST" | "D9" |  |  | MP1-10 | | MP3-9 |
| "C4-SPI\_CS" | "E10" |  |  | MP1-6 | | MP3-8 |
| "C4-B\_XMT" | "C11" |  |  | MP1-5 | | MP3-6 |
| "C4-A\_XMT" | "B11" |  |  | MP1-4 | | MP3-3 |
| "C4-B\_RCV" | "E9" |  |  | MP1-3 | | MP3-4 |
| "C4-A\_RCV" | "F9" |  |  | MP1-2 | | MP3-5 |
| “RXD\_C4” | “D11” |  |  | MP2-10 | | MP2-10 / MP2-9 |
| “TXD\_C4” | “E11” |  |  | MP2-9 | |
| “C4-TDM\_TSX” | “E8” |  |  | MP2-8 | | MP2-8 / MP1-1 |
| "C4-XSIG" | "D10" |  |  | MP1-1 | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |
| "C4-T1" | - | - | 4H-TX4+ | MP3-9 | C4-4H | P1-26A/P1-26C |
| "C4-R1" | - | - | 4H-TX4- | MP3-8 |
| "C4-R" | - | - | 4H-RX4- | MP3-6 | P1-27A/P1-27C |
| "C4-T" | - | - | 4H-RX4+ | MP3-3 |
| "C4-M/RING" | - | - | 2H-RX4- | MP3-5 | C4-2H | P1-27A/P1-27C |
| "C4-E-TIP" | - | - | 2H-RX4+ | MP3-4 |
|  |  |  |  |  | |  |
| "C4\_OUT1" | "P11" | Active\_Low | PTT4 |  | | P1-30C/P1-31C |
| "C4\_IN1" | "P12" | Active High | SQ4 |  | |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |
|  |  |  |  |  | |  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **VERIFICACIÓN CONECTIVIDAD SEÑALES COMUNES** | | |  |  |  |
|  |  |  |  |  |  |
| “HAB\_CPU\_A” | “A14” | **Active\_Low** | **Habilita Señales A** |  |  |
| “HAB\_CPU\_B” | “B14” | **Active\_Low** | **Habilita Señales B** |  |  |
|  |  |  |  |  |  |
| “BP\_TDMA\_DR” | "E16" |  | Out |  | P1-5A/P1-5C |
| “TDMA\_SCLK” | “C15” |  | In |  |
|  |  |  |  |  |  |
| “BP\_TDMB\_DR” | "E13" |  | Out |  | P1-7A/P1-7C |
| “TDMA\_FS” | “F12” |  | In |  |
|  |  |  |  |  |  |
| “BP\_SPI\_A\_CS” | "L15" |  | Out |  | P1-9A/P1-9C |
| “TDMB\_SCLK” | “C16” |  | In |  |
|  |  |  |  |  |  |
| “BP\_SPI\_A\_ADD0” | "K13" |  | Out |  | P1-11A/P1-11C |
| “TDMB\_FS” | “F13” |  | In |  |
|  |  |  |  |  |  |
| “BP\_TDMA\_DX” | "D14" |  | Out |  | P1-6A/P1-2A |
| "SLV\_2" | "J11" |  | In |  |
| “BP\_TDMB\_DX” | "D15" |  | Out |  | P1-8A/P1-2C |
| "SLV\_3" | "H16" |  | In |  |
| “BP\_SPI\_B\_CS” | "G14" |  | Out |  | P1-10A/P1-4A |
| "SLV\_0" | "M13" |  | In |  |
| “BP\_SPI\_B\_ADD0” | "G16" |  | Out |  | P1-12A/P1-4C |
| "SLV\_1" | "M14" |  | In |  |
|  |  |  |  |  |  |
| **“BP\_REF\_CLK\_A”** | "R4" |  | Out |  | P1-13A/P1-13C |
| **“BP\_REF\_CLK\_B”** | "M6" |  | In |  |
| **“BP\_SPI\_A\_ADD1”** | "L13" |  | Out |  | P1-14A/P1-14C |
| **“BP\_SPI\_A\_CLK”** | "M16" |  | In |  |
| “BP\_SPI\_B\_ADD1” | "J16" |  | Out |  | P1-15A/P1-15C |
| “BP\_SPI\_B\_CLK” | "H11" |  | In |  |
| “BP\_SPI\_A\_ADD2” | "R15" |  | Out |  | P1-16A/P1-16C |
| “BP\_SPI\_A\_MISO” | "N15" |  | In |  |
|  |  |  |  |  |  |
| “BP\_SPI\_B\_ADD2” | "K14" |  | Out |  | P1-17A/P1-17C |
| “BP\_SPI\_B\_MISO” | "H14" |  | In |  |
| “BP\_SPI\_B\_MOSI” | "J13" |  | Out |  | P1-18A/P1-18C |
| “BP\_SPI\_A\_MOSI” | "P15" |  | In |  |
| “BP\_SPI\_A\_ADD3” | "R16" |  | Out |  | P1-19A/P1-19C |
| “BP\_SPI\_B\_ADD3” | "K12" |  | In |  |
| "OUT1\_232" | "P14" |  | Out |  | P3-3/P3-5 |
| "IN1\_232" | "N11" |  | In |  |
|  |  |  |  |  |  |
| "OUT2\_232" | "R13" |  | Out |  | P3-6/P3-4 |
| "IN2\_232" | "M11" |  | In |  |
| "OUT\_TP1" | "P3" |  | Out |  | P3-1/P3-7 |
| "T2-IP" | "T2" |  | In |  |
|  |  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
| Nota de Montaje.- Unir P3-9 con P3-10 | | | |  |  |
|  |  |
|  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |
|  |  |  |  |  |  |

# Anexo C: UTIL DE PRUEBAS

El útil de pruebas consta de:

1.- soporte con conector DIN41612 hembra para poder insertar cada tarjeta N019A que se quiera probar.

2.- Cuatro modulos iguales TEST\_MODx que habrá que insertar en cada slot MODx de la tarjeta a probar.

3.- Conector con puentes que se ha de insertar en el conector P3 de la tarjeta en cuestión.

El cableado que hay que realizar en el conector DIN41612 es el siguiente:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **PIN** | **CONECTADO A** | **PIN** | **CONECTADO A** |  |
| 1A | **GND-IN** | 1C | **GND-IN** | **MASA** |
| 2A | 6A | 2C | 8A |  |
| 3A | **VCC-IN** | 3C | **VCC-IN** | **24 V DC** |
| 4A | 10A | 4C | 12A |  |
| 5A | 5C | 5C | 5A |  |
| 6A | 2A | 6C | --- |  |
| 7A | 7C | 7C | 7A |  |
| 8A | 2C | 8C | -- |  |
| 9A | 9C | 9C | 9A |  |
| 10A | 4A | 10C | -- |  |
| 11A | 11C | 11C | 11A |  |
| 12A | 4C | 12C | -- |  |
| 13A | 13C | 13C | 13A |  |
| 14A | 14C | 14C | 14A |  |
| 15A | 15C | 15C | 15A |  |
| 16A | 16C | 16C | 16A |  |
| 17A | 17C | 17C | 17A |  |
| 18A | 18C | 18C | 18A |  |
| 19A | 19C | 19C | 19A |  |
| 20A | 20C | 20C | 20A |  |
| 21A | 21C | 21C | 21A |  |
| 22A | 22C | 22C | 22A |  |
| 23A | 23C | 23C | 23A |  |
| 24A | 24C | 24C | 24A |  |
| 25A | 25C | 25C | 25A |  |
| 26A | 26C | 26C | 26A |  |
| 27A | 27C | 27C | 27A |  |
| 28A | 29A | 28C | 29C |  |
| 29A | 28A | 29C | 28C |  |
| 30A | 31A | 30C | 31C |  |
| 31A | 30A | 31C | 30C |  |
| 32A | **GND-IN** | 32C | **GND-IN** |  |
|  |  |  |  |  |

A continuación mostramos el cableado de los cuatro modulos iguales TEST\_MODx:

|  |  |
| --- | --- |
| **Conectada\_sobre** | **Puente\_Externo** |
|  |  |
| MP2-4 | MP2-5 |
| MP2-6 | MP2-7 |
| MP1-10 | MP3-9 |
| MP1-6 | MP3-8 |
| MP1-5 | MP3-6 |
| MP1-4 | MP3-3 |
| MP1-3 | MP3-4 |
| MP1-2 | MP3-5 |
| MP2-10 | MP2-9 |
|  |  |
| MP2-8 | MP1-1 |
|  |  |
|  |  |
| MP2-3 Anodo\_Led + 1KOhm | MP1-9 |
| MP2-3 Anodo\_Led + 1KOhm | MP1-8 |
| MP2-3 Anodo\_Led + 1KOhm | MP1-7 |
|  |  |
|  |  |
|  |  |

El cableado del conector que irá insertado en P3 es:

|  |  |  |
| --- | --- | --- |
| **PIN** | | **Puente\_Externo** |
| P3-1 | P3-2 | P3-3/P3-5 |
| P3-3 | P3-4 |
| P3-5 | P3-6 |  |
| P3-7 | P3-8 | P3-6/P3-4 |
| P3-9 | P3-10 |
|  |  |  |
|  |  | P3-1/P3-7 |
|  |  |
|  |  |

# Anexo D: Ordenador tipo PC configurado para Norma\_N019.

Las características que debe cumplir el ordenador descrito en este anexo son:

- Procesador Intel Pentium4/AMD Athlon 64 o superior

- Mínimo 1G RAM

- 8G de espacio en disco duro

- Sistema Operativo: Windows XP/Vista/7

- Puerto USB 2.0 o puerto paralelo según el tipo de convertidor JTAG usado.

- Cuenta habilitada con permiso de Administrador

Software a Instalar en este ordenador:

* VM\_WARE versión 7.1.0 o superior.
* Máquina virtual <Ubuntu Fabrica> para VM\_WARE que contiene el sistema operativo Linux Ubuntu y la aplicación de test de tarjetas a través del puerto JTAG. Esta máquina virtual será proporcionada por I+D (Dirección Técnica).